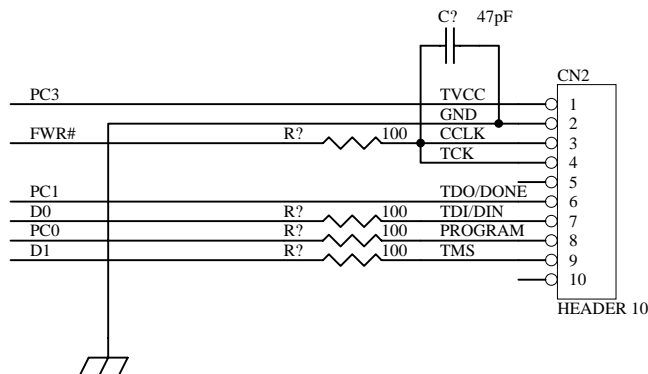
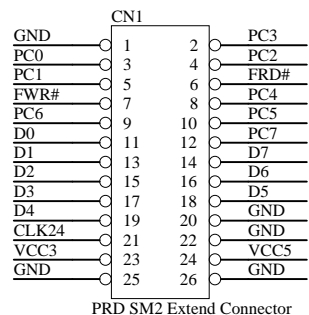
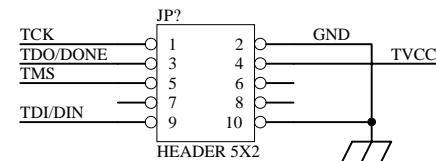


EZ-USB to Xilinx ISP ケーブル

Xilinx仕様



Altera仕様(JTAGのみ)



このコネクタとピン配置は、スママR/W機のスママコネクタから張った私の基板がそうなっているだけで、これに従う必要は全くありません。

要はJTAG/CCLKの信号を、EZ-USB(AN2135SC)のI/Oピンと繋いでやればよいので、すでにAN2135SCのモジュールをお持ちの方は、7本のケーブルと4本の抵抗を配線すれば終わりです。

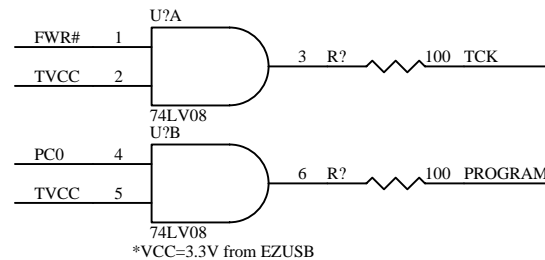
カメレオンUSBな人は、CPLDのI/OピンにEZ-USBのピンがスルーで通過するようにCPLDをプログラムして、CPLDのピンにSmartMediaコネクタを配線するか、CPLDを空(すべて入力ピン)にプログラムして、EZ-USBのピンから直接配線すれば使えます。

ISPケーブルの注意点

FWRITE#信号はちょっと速いので、JTAGケーブルは出来るだけ短くすべきです。ケーブル長を30cmにしたところ、コンデンサの付加が必要でした。

FWRITE-TCKと、PC0-PROGRAM間のダンプ抵抗は必修です。現状でも、ターゲットの電源がダウンしているときには、TCKピンに33mAもリークする計算になります。ターゲットデバイスにも、EZ-USBにも負担がかかりますので、プローブを繋いでいる間は、出来る限りEZ-USBとターゲットの電源を落とさないようにした方が無難です。安全性を考えるなら、AND回路やトライステートバッファ等を用いて、TVCC=Lの時には出力ピンがHo-ZかLレベルになるような回路を追加してください。

安全回路の例



*VCC=3.3V from EZUSB

Title EZ-USB JTAG/Xilinx ISP Cable		T&A
Size: A4	Number:	Revision: 2
File: C:\SCH\pacman\pacman.ddb - SM2_Rev22-Mar-2002 Time: 18:53:51 Sheet 1 of 1		

